

# Patent Abstracts of Japan

PUBLICATION NUMBER : 2000004001  
PUBLICATION DATE : 07-01-00

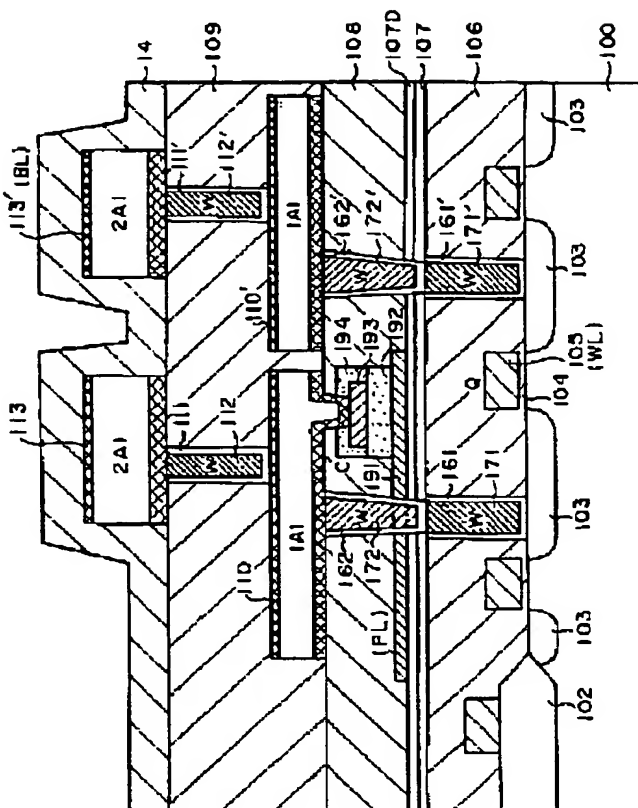
APPLICATION DATE : 15-06-98  
APPLICATION NUMBER : 10183395

APPLICANT : TOSHIBA CORP;

INVENTOR : ISHIKAWA TAKASHI;

INT.CL. : H01L 27/10 G11C 11/34 H01L 27/108  
H01L 21/8242

TITLE : SEMICONDUCTOR MEMORY AND  
MANUFACTURE THEREOF



**ABSTRACT :** PROBLEM TO BE SOLVED: To provide a semiconductor memory and manufacturing method thereof, comprising first and 2p contact holes in which the phenomenon of a connecting wiring material in the first contact holes pierce a barrier metal layer diffusing to into impurity diffused regions is suppressed.

**SOLUTION:** An insulation film is used, composed of an Si nitride film formed by the low pressure CVD method as an intermediate insulation film 107 which is inserted between insulation films 106, 108 having first and second contact holes 161, 162 and used for a mask in etching the second contact holes 162, and an Si nitride film formed by the plasma CVD method. Since the plasma CVD method conducts processes at about 200-300°C, it does not destroy the barrier metal layer in the first contact holes and does not activate the diffusion of connection wirings of W, etc. A TEOS film made by low-pressure CVD method has good affinity with a Ti or Pt film, and when this TEOS film is deposited on the intermediate insulation film, a capacitor is formed which is stable having stable electrical characteristics, without damaging its electrical characteristics.

COPYRIGHT: (C)2000,JPO

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-4001

(P2000-4001A)

(43) 公開日 平成12年1月7日(2000.1.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	5 B 0 1 5
G 1 1 C 11/34		G 1 1 C 11/34	5 F 0 8 3
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1
21/8242			

審査請求 未請求 請求項の数 8 F D (全 12 頁)

(21) 出願番号 特願平10-183395

(22) 出願日 平成10年6月15日(1998.6.15)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石川 隆司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(74) 代理人 100097629

弁理士 竹村 壽

Fターム(参考) 5B015 AA02 BA21 CA03 FA00 GA01

5F083 FR03 GA25 JA14 JA15 JA17

JA36 JA38 JA39 JA40 JA53

JA56 KA20 MA01 MA04 MA05

MA06 MA16 MA17 MA20 PR21

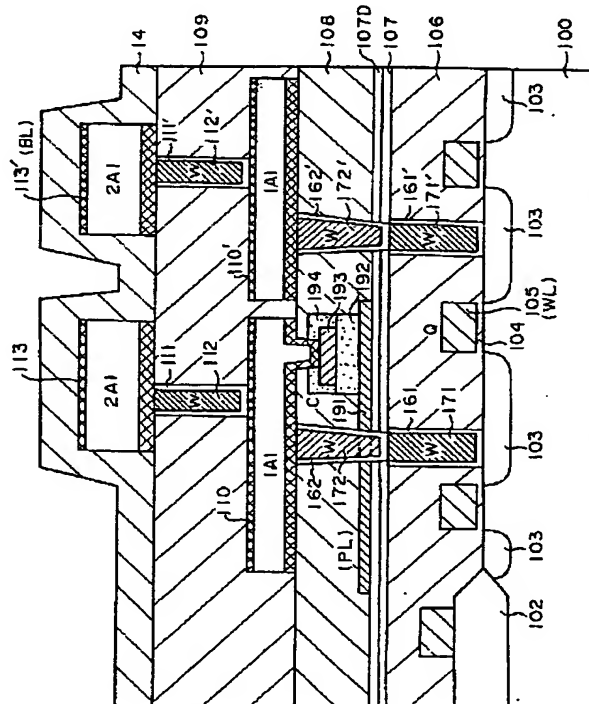
PR28 PR40

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 第1のコンタクト孔内の接続配線材料がバリアメタル層を突き抜けて不純物拡散領域の内部に拡散する現象が抑制された第1及び第2のコンタクト孔を具備する半導体記憶装置及びその製造方法を提供する。

【解決手段】 第1及び第2のコンタクト孔161、162が形成された絶縁膜106、108間に挿入され、第2のコンタクト孔162をエッチングする際のマスクに用いられる中間絶縁膜107として減圧CVD法により形成されたシリコン窒化膜とプラズマCVD法により形成されたシリコン窒化膜とから構成された絶縁膜を用いる。プラズマCVD法は200～300℃程度で処理するので、第1のコンタクト孔内のバリアメタル層を破壊せず、Wなどの接続配線の拡散を活性化しない。減圧CVD法によるTEOS膜はTi膜やPt膜とのなじみが良いのでこのTEOS膜を中間絶縁膜上に堆積させるとキャパシタが安定してその電気的特性を損なうことなく電気特性の安定したキャパシタが形成される。



## 【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板に形成され、ビット線にドレイン又はソースが接続されたスイッチ用トランジスタと、

前記スイッチ用トランジスタを被覆するように前記半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜の上に形成された中間絶縁膜と、

前記中間絶縁膜上に形成され前記スイッチ用トランジスタのソース又はドレインに接続された第 1 の電極、前記中間絶縁膜に接触しプレート線に接続された第 2 の電極及び誘電体膜を備えた電荷蓄積用キャパシタと、

前記電荷蓄積用キャパシタを被覆するように、前記中間絶縁膜の上に形成された第 2 の絶縁膜と、

前記第 1 の絶縁膜に形成された第 1 のコンタクト孔及び前記第 2 の絶縁膜に形成された第 2 のコンタクト孔を通して前記ドレイン又はソースと前記第 1 の電極とを電気的に接続する配線とを具備し、

前記中間絶縁膜は、減圧 CVD 法により形成されたシリコン窒化膜とプラズマ CVD 法により形成されたシリコン窒化膜とから構成されていることを特徴とする半導体記憶装置。

【請求項 2】 前記キャパシタは、強誘電体特性を有する強誘電体からなる誘電体膜を有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記中間絶縁膜は、減圧 CVD 法により形成された第 1 及び第 2 のシリコン窒化膜と前記第 1 及び第 2 のシリコン窒化膜により挟まれ、プラズマ CVD 法により形成された第 3 のシリコン窒化膜から構成されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記第 1 のコンタクト孔側壁は、前記第 1 の絶縁膜に対して垂直に形成されており、前記第 2 のコンタクト孔は、その側壁が前記第 2 の絶縁膜に対してテーパ状に形成され、開口部が底面より広い面積を有していることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体記憶装置。

【請求項 5】 前記キャパシタと前記中間絶縁膜との間には減圧 CVD 法により形成された TEOS 膜が介在されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 6】 前記キャパシタの前記第 2 の電極はチタン膜とこの上に形成されたプラチナ膜から構成され、このチタン膜は前記減圧 CVD 法により形成された TEOS 膜に接して形成されていることを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 7】 前記キャパシタの前記第 1 の電極は、前記強誘電体膜の上に形成され、前記第 1 の電極の上及び前記第 1 の電極が形成されていない前記強誘電体膜の上には前記強誘電体膜と同じ材料からなる保護膜が形成されていることを特徴とする請求項 5 又は請求項 6 に記載

の半導体記憶装置。

【請求項 8】 半導体基板に、ビット線にドレイン又はソースが接続されたスイッチ用トランジスタを形成する工程と、

前記スイッチ用トランジスタを被覆するように前記半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜をエッチングして前記半導体基板のドレイン又はソースに至る第 1 のコンタクト孔を形成する工程と、

前記第 1 のコンタクト孔内に接続配線を埋め込む工程と、

前記第 1 のコンタクト孔内の接続配線を被覆するように前記第 1 の絶縁膜の上に中間絶縁膜を形成する工程と、

前記中間絶縁膜上に第 1 の電極、第 2 の電極及びこれら電極に挟まれた誘電体膜を備えた電荷蓄積用キャパシタを形成する工程と、

前記電荷蓄積用キャパシタを被覆するように、前記中間絶縁膜の上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜及び前記中間絶縁膜をエッチングして前記第 1 のコンタクト孔内の接続配線に至る第 2 のコンタクト孔を形成する工程と、

前記第 2 のコンタクト孔内に接続配線を埋め込む工程と、

前記第 1 及び第 2 のコンタクト孔内の接続配線を含み、前記第 1 のコンタクト孔及び前記第 2 のコンタクト孔を通して前記ドレイン又はソースと前記第 1 の電極とを電気的に接続する配線とを形成する工程とを具備し、

前記中間絶縁膜は、減圧 CVD 法により形成されたシリコン窒化膜とプラズマ CVD 法により形成されたシリコン窒化膜とから構成されていることを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体を誘電体膜として用いたキャパシタを有する不揮発性強誘電体メモリなどの半導体記憶装置に関する。

【0002】

【従来の技術】強誘電体膜は、電界が印加された時に一旦発生した電気分極がこの電界が印加されなくなっても残留し、前記電界とは反対方向の向きにある程度以上の強さの電界が印加された時に分極の向きが反転する特性を有している。この強誘電体膜の分極の向きが反転する分極特性に着目し、メモリセルの情報記憶用キャパシタの誘電体膜に強誘電体を用いて不揮発性の強誘電体メモリを実現する技術が開発されている。強誘電体膜の強誘電性を利用した不揮発性メモリ（以下、FRAM (Ferroelectric Random Access Memory) という）は、低消費電力の汎用不揮発性メモリのほか、非接触カード (RF-ID: Radio Frequency-Identification) などへの応用が期待されている。この不揮発性メモリが既存の SRA

M(Static RAM)、フラッシュメモリ、DRAM(Dynamic RAM)などに置き代わればその意義は大きいものがある。

【0003】これらの強誘電体膜において、強誘電体としては、 $PZT(Pb(Zr, Ti)O_3)$ 、 $PLZT((Pb, La)(Zr, Ti)O_3)$ 、 $PLT((Pb, La)TiO_3)$ などのPbを含有する強誘電体あるいはBiを含有する層状化合物の $SrBi_2Ta_2O_9$ (Y1)が知られている。現在FRAMは、二つのトランジスタと二つのキャパシタンスを一つのセルとした方式(以下、2T/2Cセルという)を多く用いている。勿論、高集積化に向けて1T/1CセルのFRAMも研究・開発を進めている。この2T/2Cセルは、2個のキャパシタに高低の組み合わせで電圧を与え、書き込み及び読み出しは、キャパシタ上の高低の電圧に対応した信号電圧をデータ対線に取り出すことにより行う。完全作動動作なので安定である。強誘電体膜材料に関しては、生産上での膜質の安定化、材料特性としてはインプリント現象、疲労特性等で多くの解決すべき問題がある。

【0004】図12は、従来の強誘電体特性のある強誘電体膜を有するキャパシタを具備したFRAMの断面図である。p型シリコン半導体などからなる半導体基板1にはLOCOS(Local Oxidization of Silicon)法による $SiO_2$ から構成された素子分離領域2が形成されている。半導体基板1の表面よりいきにはソース/ドレイン領域として用いられるn型不純物拡散領域3が形成されている。ソース/ドレイン領域間の上にはゲート酸化膜( $SiO_2$ )4を介してゲート電極5が形成されている。ゲート電極5は、例えば、ポリシリコン膜とポリシリコン膜上のタングステンシリサイド膜からなり上面は、シリコン窒化膜により保護されている。半導体基板1は、ゲート電極5を覆うように減圧CVD法により形成された中間絶縁膜として用いられるBPSG(Born Phosphorus Silicate Glass)膜からなる第1の絶縁膜6により被覆されている。第1の絶縁膜6はCMP(Chemical Mechanical Polishing)により研磨されて平坦化される。第1の絶縁膜6には第1のコンタクト孔61、61'が形成される。平坦化された第1の絶縁膜6が膜厚790~890nm程度であるのでコンタクト孔の高さもこれと同じである。いずれのコンタクト孔も半導体基板1の不純物拡散領域3に底面が配置されている。このコンタクト孔61、61'に接続配線71、71'を埋め込む。

【0005】配線71、71'は、第1のコンタクト孔61、61'の側壁に形成されたTi膜及びその上のTiN膜からなるバリアメタル層と、TiN膜上のタングステン(W)膜とから構成されている。ソース/ドレイン領域3、ゲート酸化膜及びゲート電極は、トランジスタQを構成している。第1のコンタクト孔61、61'

に埋め込まれたタングステン膜の酸化を抑制するために第1の絶縁膜6の上に保護膜として中間絶縁膜7を形成する。中間絶縁膜7は、膜厚150nm程度の減圧CVD法により形成されたシリコン窒化膜( $Si_3N_4$ 、化学式はこの通りであるが、実際は原子比が多少変化するので、 $SiN$ と表記する)から構成されている。CVD(Cheical Vapour Deposition)法は、熱エネルギーやプラズマ放電などを用いて半導体基板上に薄膜を形成する方法である。減圧CVD法は、反応室内を減圧状態にして成膜する手段であり、成膜温度が700~780℃、成膜速度が0.8~1.5nm/分の条件で行う。プラズマCVD法は、反応室で低圧反応ガスのプラズマを発生させ、プラズマ分解によりウェーハ上に薄膜を形成する手段である。200~300℃程度で反応が行われる。

【0006】中間絶縁膜7の上には、強誘電体キャパシタCが形成されている。キャパシタCは、中間絶縁膜7に接触し、プレート線(PL)つながる下部電極91、強誘電体特性を有する強誘電体からなる誘電体膜92及び上部電極93が順次堆積された積層体から構成されている。下部電極は、中間絶縁膜7に接触するTi膜及びTi膜の上に形成されたPt膜から構成されている。強誘電体膜92は、例えば、PZT膜から構成されている。上部電極93はPt膜から構成されている。キャパシタCを被覆するように中間絶縁膜7の上に第2の絶縁膜8が形成されている。第2の絶縁膜8は、TEOS膜(略称TEOSという有機オキシシラン $Si(OC_2H_5)_4$ を熱分解して形成された $SiO_2$ 膜をいう)からなり、膜厚は、950nm程度である。第2の絶縁膜8は、CMPなどにより研磨されて平坦化される。この第2の絶縁膜8と中間絶縁膜7は、エッチングされ、このエッチングにより第2のコンタクト孔62、62'が形成されている。平坦化された第2の絶縁膜8が膜厚950nmであるので、第2のコンタクト孔62、62'の高さもこれと同じである。これら第2のコンタクト孔62、62'は、それぞれ第1のコンタクト孔61、61'に繋がり、埋め込まれている配線72、72'も配線71、71'に接続されている。配線72、72'は、第2のコンタクト孔62、62'の側壁に形成されたTi膜及びその上のTiN膜からなるバリアメタル層と、その上のタングステン膜とから構成されている。

【0007】第2の絶縁膜8上には配線10、10'が形成されている。第2の絶縁膜8にTi膜、TiN膜、Al膜及びTiN膜を順次堆積させ、これをパターニングして下層バリアメタル層(Ti膜/TiN膜)/Al膜/上層バリアメタル層(TiN膜)から構成された配線10、10'が形成される。この配線10、10'は、半導体基板1上の第1層目のアルミニウム配線である。配線10、10'を被覆するように第2の絶縁膜8の上に第3の絶縁膜9が形成されている。第3の絶縁膜

9は、TEOS膜からなり、膜厚が1240nm程度である。第3の絶縁膜9は、CMPなどにより研磨されて平坦化される。この第3の絶縁膜9は、エッチングされ、このエッチング工程によりその表面から配線10、10'の上面に至る第3のコンタクト孔11、11'が形成されている。平坦化された第3の絶縁膜9の膜厚が1240nmであり、配線10、10'の膜厚が520nm程度であるので、第3のコンタクト孔11、11'の高さは、720nm程度である。第3のコンタクト孔11、11'に埋め込まれている配線12、12'は、それぞれ接続配線72、72'に接続されている。接続配線12、12'は、第3のコンタクト孔11、11'に埋め込まれたタングステン膜から構成されている。

【0008】第3の絶縁膜9上には配線13、13'が形成されている。第3の絶縁膜9にTi膜、TiN膜、Al膜及びTiN膜を順次堆積させ、これをパターンニングして下層バリアメタル層(Ti膜/TiN膜)/Al膜/上層バリアメタル層(TiN膜)から構成された配線13、13'が形成される。この配線13、13'は、半導体基板1上の第2層目のアルミニウム配線である。配線13、13'を被覆するように第3の絶縁膜9の表面上にプラズマCVD法により形成されたシリコン窒化膜などの保護絶縁膜14で被覆されている。配線13は、キャパシタCの上部電極93に接続され、配線13'は、ビット線(BT)に接続されている。図4は、従来の半導体基板上のFRAMセル回路図である。

【0009】

【発明が解決しようとする課題】以上のように、通常第1のコンタクト孔に埋め込まれたタングステンの表面酸化を抑制するためにその表面に緻密で耐酸化性の有るシリコン窒化膜(SiN)を堆積させ、その上に層間絶縁膜としてTEOS膜を堆積させる。この第1のコンタクト孔の上に第2のコンタクト孔を形成する場合、TEOS膜を反応性イオンエッチング(RIE:Reactive Ion Etching)で垂直にエッチングする。そのときの条件は、TEOS膜とシリコン窒化膜との選択比が10以上あるようにする。そして、TEOS膜とシリコン窒化膜との界面又はシリコン窒化膜中でRIEを終点させる。次に、コンタクト孔内のタングステン膜上のシリコン窒化膜をRIEでエッチングし、タングステン膜界面でエッチングを終点させて第2のコンタクト孔を形成する。

【0010】ここで、第2のコンタクト孔を形成する場合のエッチングのマスクに減圧CVD法により堆積されたシリコン窒化膜(SiN)を使用すると、高温(700℃以上)で且つエッチング速度が遅いなどの理由により第1のコンタクト孔のボトムコーナーでタングステンがバリアメタル層(Ti膜/TiN膜)を突き抜けて半導体基板に形成された不純物拡散領域に拡散してトランジスタの電気的特性に悪影響を与える。また、第2のコンタクト孔のPEPにおいてレティクルの合わせずれが

生じた状態でRIEを実施すると第2のコンタクト孔が半導体基板までエッチングが進行するという問題が生じる。本発明は、このような事情によりなされたものであり、第1のコンタクト孔内の接続配線材料がバリアメタル層を突き抜けて不純物拡散領域の内部に拡散する現象が抑制された第1及び第2のコンタクト孔を具備する半導体記憶装置の製造方法を提供し、第1及び第2のコンタクト孔が形成された絶縁膜間に形成されたキャパシタが安定に絶縁膜間に配置される半導体記憶装置を提供する。

【0011】

【課題を解決するための手段】本発明は、第1及び第2のコンタクト孔が形成された絶縁膜間に挿入され、第2のコンタクト孔をエッチングする際のマスクに用いられる中間絶縁膜として減圧CVD法により形成されたシリコン窒化膜とプラズマCVD法により形成されたシリコン窒化膜とから構成された絶縁膜を用いることを特徴とする。また、中間絶縁膜上に形成される前記キャパシタの下部電極がチタン(Ti)膜とこの上に形成されたプラチナ(Pt)膜から構成された場合において、チタン膜と中間絶縁膜との間に減圧CVD法により形成されたTEOS膜を配置することを特徴としている。プラズマCVD法は、低温(200~300℃程度)で処理するので、第1のコンタクト孔に形成されたバリアメタル層を破壊することなくなり、また、タングステンなどの接続配線の拡散を活性化することがない。また、減圧CVD法によるTEOS膜は、チタン膜やプラチナ膜とのなじみが良いのでこの様なTEOS膜を中間絶縁膜上に堆積させると、キャパシタが安定してその電気的特性を損なうことなく電気特性の安定したキャパシタが形成される。

【0012】すなわち、本発明の半導体記憶装置は、半導体基板と、前記半導体基板に形成され、ビット線にドレイン又はソースが接続されたスイッチ用トランジスタと、前記スイッチ用トランジスタを被覆するように前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜の上に形成された中間絶縁膜と、前記中間絶縁膜上に形成され前記スイッチ用トランジスタのソース又はドレインに接続された第1の電極、前記中間絶縁膜に接触しプレート線に接続された第2の電極及び誘電体膜を備えた電荷蓄積用キャパシタと、前記電荷蓄積用キャパシタを被覆するように、前記中間絶縁膜の上に形成された第2の絶縁膜と、前記第1の絶縁膜に形成された第1のコンタクト孔及び前記第2の絶縁膜に形成された第2のコンタクト孔を通して前記ドレイン又はソースと前記第1の電極とを電気的に接続する配線とを具備し、前記中間絶縁膜は、減圧CVD法により形成されたシリコン窒化膜とプラズマCVD法により形成されたシリコン窒化膜とから構成されていることを特徴としている。

【0013】前記キャパシタは、強誘電体特性を有する

強誘電体からなる誘電体膜を用いても良い。前記中間絶縁膜は、減圧CVD法により形成された第1及び第2のシリコン窒化膜と前記第1及び第2のシリコン窒化膜により挟まれ、プラズマCVD法により形成された第3のシリコン窒化膜から構成されているようにしても良い。CVD反応室内で条件を適宜変更するだけで容易に連続的に種類の異なる複数のシリコン窒化膜が積層される。前記中間絶縁膜は、135nm乃至165nmの膜厚であり第1及び第2のシリコン窒化膜のトータルの膜厚が10nm乃至20nmであるようにしても良い。前記第1のコンタクト孔側壁は、前記第1の絶縁膜に対して垂直に形成されており、前記第2のコンタクト孔は、その側壁が前記第2の絶縁膜に対してテーパー状に形成され、開口部が底面より広い面積を有しているようにしても良い。第2のコンタクト孔を形成するときにエッチングにより第2の絶縁膜を突き破って半導体基板に達するようなコンタクト孔を形成することがない。

【0014】前記中間絶縁膜の下面と接する部分の前記第1の絶縁膜はプラズマCVD法により形成されたTEOS膜で構成され、その他の部分はBPSG膜で構成されるようにしても良い。第1のコンタクト孔内に接続配線を埋め込むときにCMPを使用する場合において研磨速度の速いBPSG膜を研磨し過ぎて第1の絶縁膜に埋め込まれているゲート電極を傷付けることがない。前記キャパシタと前記中間絶縁膜との間には減圧CVD法により形成されたTEOS膜が介在されているようにしても良い。このTEOS膜は、強誘電体膜を用いるキャパシタの下部電極を配向性良く堆積させることができるので、この下部電極の上に強誘電体膜を配向性良く成長させることができる。前記キャパシタの前記第2の電極はチタン膜とこの上に形成されたプラチナ膜から構成され、このチタン膜は前記減圧CVD法により形成されたTEOS膜に接して形成されているようにしても良い。前記中間絶縁膜は、135nm乃至165nmの膜厚であり前記減圧CVD法により形成されたTEOS膜は、200nmの膜厚を有するようにしても良い。前記キャパシタの前記第1の電極は、前記強誘電体膜の上に形成され、前記第1の電極の上及び前記第1の電極が形成されていない前記強誘電体膜の上には前記強誘電体膜と同じ材料からなる保護膜が形成されているようにしても良い。強誘電体膜を上部電極を被覆する保護膜として用いるので強誘電体膜が配向性良く形成される。

【0015】また本発明の半導体記憶装置の製造方法は、半導体基板に、ビット線にドレイン又はソースが接続されたスイッチ用トランジスタを形成する工程と、前記スイッチ用トランジスタを被覆するように前記半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜をエッチングして前記半導体基板のドレイン又はソースに至る第1のコンタクト孔を形成する工程と、前記第1のコンタクト孔内に接続配線を埋め込む工程と、前

記第1のコンタクト孔内の接続配線を被覆するように前記第1の絶縁膜の上に中間絶縁膜を形成する工程と、前記中間絶縁膜上に第1の電極、第2の電極及びこれら電極に挟まれた誘電体膜を備えた電荷蓄積用キャパシタを形成する工程と、前記電荷蓄積用キャパシタを被覆するように、前記中間絶縁膜の上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜及び前記中間絶縁膜をエッチングして前記第1のコンタクト孔内の接続配線に至る第2のコンタクト孔を形成する工程と、前記第2のコンタクト孔内に接続配線を埋め込む工程と、前記第1及び第2のコンタクト孔内の接続配線を含み、前記第1のコンタクト孔及び前記第2のコンタクト孔を通して前記ドレイン又はソースと前記第1の電極とを電気的に接続する配線とを形成する工程とを具備し、前記中間絶縁膜は、減圧CVD法により形成されたシリコン窒化膜とプラズマCVD法により形成されたシリコン窒化膜とから構成されていることを特徴としている。

【0016】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1、図6乃至図10を参照して第1の実施例を説明する。図1に不揮発性強誘電体メモリ(FRAM)の断面図を示す。p型シリコン半導体基板100にはMOSトランジスタQが形成されている。MOSトランジスタQは、n型不純物拡散領域からなるソース/ドレイン領域103、ゲート酸化膜104、ゲート電極105等から構成される。ゲート電極105は、ワード線(WL)に接続される。このMOSトランジスタQ上には層間絶縁膜(第1の絶縁膜)106が形成されている。第1の絶縁膜106は、減圧CVD法により形成されるBPSG膜から構成されている。p型シリコン半導体などからなる半導体基板100にはLOCOSによるSiO<sub>2</sub>から構成された素子分離領域102が形成されている。半導体基板100の表面領域にはソース/ドレイン領域として用いられるn型不純物拡散領域103が形成されている。ソース/ドレイン領域間の上にはゲート酸化膜(SiO<sub>2</sub>)104を介してゲート電極105が形成されている。ゲート電極105は、例えば、ポリシリコン膜とポリシリコン膜上のタングステンシサイド膜からなり、このシリサイド膜上面は、シリコン窒化膜により保護されている。

【0017】半導体基板100は、ゲート電極105を覆うように、減圧CVD法により形成されたBPSG膜からなる第1の絶縁膜(層間絶縁膜)106により被覆されている。第1の絶縁膜106は、CMPにより研磨されて平坦化される。この第1の絶縁膜106には第1のコンタクト孔161、161'が形成される。まず、CHF<sub>3</sub>+O<sub>2</sub>+COからなる混合ガスを使用してBPSG膜表面がRIEエッチングされ、ついで、O<sub>2</sub>とCF<sub>4</sub>との混合ガス(流量比1以上)によりRIEエッチングで開口した部分にさらにトレンチエッチングを施し



て垂直な側壁を有する第1のコンタクト孔161、161'を形成する。平坦化された第1の絶縁膜106が、例えば、膜厚790~890nm程度であるので、第1のコンタクト孔161、161'の高さもこれと同じである。いずれのコンタクト孔も半導体基板100の不純物拡散領域103にその底面が配置されている。この第1のコンタクト孔161、161'には接続配線171、171'が埋め込まれている。接続配線171、171'は、第1のコンタクト孔161、161'の側壁に形成されたTi膜及びその上のTiN膜からなるバリアメタル層と、TiN膜上のタングステン(W)膜とから構成されている。ソース/ドレイン領域103、ゲート酸化膜104及びゲート電極105は、トランジスタCを構成している。

【0018】接続配線は、第1のコンタクト孔内も含めて第1の絶縁膜106上に膜厚40nm程度のTi膜、膜厚60nm程度のTiN膜を順次高融点ロングスパッタリングなど通常の堆積技術で堆積させ、その上にタングステンをブランケット状に620nm程度堆積させる。そしてさらに300℃×60分、N<sub>2</sub>雰囲気中で結晶化処理を行う。その後これら積層体をCMP法やCDE (Chemical Dry Etching)とマイクロアッシャー工程とを含む方法などにより第1のコンタクト孔161、161'内に堆積した材料以外の第1の絶縁膜106上の積層体を除去するとともに第1の絶縁膜106の表面を平坦化する。第1のコンタクト孔161、161'に埋め込まれたタングステンの酸化を抑制するために第1の絶縁膜106の上に保護膜として膜厚が135~165nmの中間絶縁膜107を形成する。中間絶縁膜107は、プラズマCVD法により形成されたシリコン窒化膜(PCVD SiN)と減圧CVD法により形成されたシリコン窒化膜(LPCVD SiN)から構成されている。

【0019】減圧CVD法により形成されたシリコン窒化膜は、例えば、ジクロロシランとアンモニアを温度700~780℃、圧力20~100Paの条件で反応させて第1の絶縁膜の上に堆積させる。プラズマCVD法により形成されたシリコン窒化膜は、例えば、反応ガスとしてSiH<sub>4</sub>-NH<sub>3</sub>を用い、基板温度を200~300℃程度、圧力を0.2 Torr、成長速度を30nm/minという条件で反応させて絶縁膜上に堆積される。

【0020】ここで、図6及び図7を参照しながら中間絶縁膜の詳細を説明する。図6は、コンタクト孔上に形成された中間絶縁膜を有する半導体基板の断面図、図7は、従来のコンタクト孔上に形成された中間絶縁膜を有する半導体基板の断面図である。第1のコンタクト孔161は、前述のようにRIEエッチングとトレンチエッチングで形成され、その底部は半導体基板100に形成された不純物拡散領域103の中に入り込んでいる。第

1の絶縁膜106は、殆どがBPSG膜106Aで構成されているが、半導体基板100に接している部分はゲート酸化膜と同じ酸化膜106Bから構成されている。したがって、BPSG膜106A、酸化膜106B、不純物拡散領域103のエッチングレートが異なるので深さによってコンタクト孔の径が異なる。従来のエッチング方法においてコンタクト孔断面は、図7に示すように、不純物拡散領域3の部分、つまり底部付近が酸化膜6Bの部分より広がっている。この様な状態ではスパッタリングで側壁や底部に付着されるバリアメタル層71Bは底部のコーナー近傍には形成されず、接続配線71のタングステン膜71A部分は直接半導体基板1に接するようになっている。そのためタングステンの半導体基板1への拡散が著しかった。

【0021】しかし、この実施例では、前述のように、O<sub>2</sub>とCF<sub>4</sub>との混合ガス(流量比1(O<sub>2</sub>>CF<sub>4</sub>)以上)を用いてトレンチエッチングを行うことによりシリコンがオーバーエッチングされないので半導体基板部分の底部近傍においてほぼ垂直な側壁が形成される。したがって、第1の絶縁膜106の側壁は、BPSG膜106A及び不純物拡散領域103の部分が実質的に垂直であり、酸化膜106Bの存在する両者の間の部分が傾斜しており、しかも底面コーナー部丸みを帯びて所定のRを有する形状になる。コンタクト孔の内部形状がこうになっていると、スパッタリングで行うバリアメタル材料が側壁全体に均一に堆積され、その結果バリアメタル層71Bがタングステン膜71Aと半導体基板100の不純物拡散領域103とを遮って両者が直接接するようなことはなくなる。半導体基板上に薄膜を形成するCVD法において、減圧CVD法は、反応室内を減圧状態にして成膜する手段であり、成膜温度が700~780℃、成膜速度が0.8~1.5nm/分の条件で行い、プラズマCVD法は、反応室で低压反応ガスのプラズマを発生させ、プラズマ分解によりウェーハ上に薄膜を形成する手段で200~300℃程度で反応が行われる。

【0022】この第1のコンタクト孔161に接続配線171を埋め込んでから第1の絶縁膜106に中間絶縁膜107を形成する。中間絶縁膜107は、3層のCVD膜からなり、第1層目は、膜厚が10~20nm程度の減圧CVD法により形成されたシリコン窒化膜(LPCVD SiN)107A、第2層目は、膜厚が110~130nm程度のプラズマCVD法により形成されたシリコン窒化膜(PCVD SiN)107B、第3層目は、膜厚が10~20nm程度の減圧CVD法により形成されたシリコン窒化膜(LPCVD SiN)107Cから構成されている。

【0023】さらに図8及び図9を加えて図1の説明を続ける。図8は、コンタクト孔の上に形成された中間絶縁膜上のキャパシタを有する半導体基板の断面図、図9



は、中間絶縁膜上のキャパシタを示す平面図である。中間絶縁膜の上には強誘電体キャパシタCが形成されている。この実施例では中間絶縁膜107の上にさらに中間絶縁膜として減圧CVD法によるTEOS膜107Dを形成する。勿論本発明ではこのような中間絶縁膜107Dの存在は必須ではなくこれがなくても良い。中間絶縁膜107Dは、減圧CVD法により形成されたTEOS膜からなり、膜厚は200nm程度である。この実施例ではこのTEOS膜107D上に直接キャパシタが搭載されている。キャパシタCは、TEOS膜107Dに直接接するPLにつながる下部電極191、強誘電体特性を有する強誘電体からなる誘電体膜192及び上部電極193が順次堆積された積層体から構成されている。

【0024】下部電極191は、例えば、スパッタリングなどで形成され、中間絶縁膜107Dに接触する膜厚が20nm程度のTi膜191B及びTi膜191Bの上に形成された膜厚が175nm程度のPt膜191Aから構成されている。強誘電体膜192は、例えば、PZT膜もしくはタンタル酸ニオブ酸ストロンチウムビスマス(SBT: SrBi<sub>2</sub>(Nb, Ta)<sub>2</sub>O<sub>9</sub>)膜などからなり、ゾル・ゲル法、スパッタリング法、MOCVD法等を用いて形成される。強誘電体膜192の膜厚は、240nm程度である。上部電極193は、膜厚175nm程度のPt膜から構成され、スパッタリング法により形成されている。これらキャパシタを構成する積層体は、順次パターニングされ、キャパシタ構造に整形される。上部電極193は、強誘電体膜192より面積が小さく、この上部電極193を被覆するように強誘電体膜192上に強誘電体膜と同じ材料からなる保護膜194が形成されている。この保護膜194により強誘電体膜192の製造中であっても製造後であっても強誘電体特性が安定した状態で存在する。キャパシタCを被覆するように中間絶縁膜107、107Dの上に第2の絶縁膜108が形成されている。第2の絶縁膜108は、プラズマCVD法により形成されたTEOS膜からなり、膜厚は、1200nm程度である。

【0025】第2の絶縁膜8は、CMPなどにより研磨されて平坦化される。この第2の絶縁膜108と中間絶縁膜107、107Dは、まず、C<sub>4</sub>F<sub>8</sub>+CO+Arの混合ガスを使用して第2の絶縁膜108をトレンチエッチングを行って開口部を形成し、ついで連続的にRIEエッチングを行って第2のコンタクト孔162、162'を形成する。その後第2のコンタクト孔162、162'内に膜厚40nmのTi膜、膜厚60nmのTiN膜を高融点スパッタリングで被覆し、さらにTiN膜の上にタングステン膜を堆積させて接続配線172、172'を形成する。第2の絶縁膜108は、平坦化され、その膜厚が1200nm程度であるので、第2のコンタクト孔162、162'の高さもこれと同じである。これら第2のコンタクト孔162、162'は、そ

れぞれ第1のコンタクト孔161、161'に繋がり、埋め込まれた配線172、172'も配線171、171'に接続されている。第2の絶縁膜108上には配線110、110'が形成されている。第2の絶縁膜108にTi膜、TiN膜、Al膜及びTiN膜を順次堆積させ、これをパターニングして下層バリアメタル層(Ti膜/TiN膜)/Al膜/上層バリアメタル層(TiN膜)から構成された配線110、110'が形成される。この配線110、110'は、半導体基板1上の第1層目のアルミニウム配線(1A1)である。配線110、110'を被覆するように第2の絶縁膜108の上に第3の絶縁膜109が形成されている。第3の絶縁膜109は、プラズマCVD法により形成されたTEOS膜からなり、その膜厚は1240nm程度である。

【0026】第3の絶縁膜109は、CMPなどにより研磨されて平坦化される。第3の絶縁膜109は、エッチングされてその表面から配線110、110'の上面に至る第3のコンタクト孔111、111'が形成される。平坦化された第3の絶縁膜9の膜厚が1240nmであり、配線110、110'の膜厚が520nm程度であるので、第3のコンタクト孔111、111'の高さは、720nm程度である。第3のコンタクト孔111、111'に埋め込まれている配線112、112'は、それぞれ配線110、110'を介して接続配線172、172'に接続されている。接続配線112、112'は、第3のコンタクト孔111、111'に形成されたタングステン膜から構成されている。また第3の絶縁膜109上には配線113、113'が形成されている。第3の絶縁膜109にTi膜、TiN膜、Al膜及びTiN膜を順次堆積させ、これをパターニングして下層バリアメタル層(Ti膜/TiN膜)/Al膜/上層バリアメタル層(TiN膜)から構成された配線113、113'が形成される。この配線113、113'は、半導体基板1上の第2層目のアルミニウム配線(2A1)である。配線113、113'を被覆するように第3の絶縁膜109上にプラズマCVD法により形成されたシリコン窒化膜などの保護絶縁膜114で被覆されている。配線113は、キャパシタCの上部電極93に接続され、配線113'は、ビット線(BL)に接続されている。

【0027】第1のコンタクト孔を形成するための前記エッチングガスを用いるとコンタクト孔の底面コーナーエッジ部分の角張った形状が丸みを帯びてアール(R)を有する形状になりバリアメタル層のカバレッジが向上する。また、従来減圧CVD法により形成したシリコン窒化膜に加えてプラズマCVD法により形成したシリコン窒化膜を用いて3層構造にすることにより、熱的ストレスの影響で第1のコンタクト孔の底面コーナーエッジ部分におけるタングステンのバリアメタル層の突き抜けを抑制することができる。

【0028】ここで、図10を参照して第2のコンタクト孔を形成する工程を説明する。第2のコンタクト孔162をRIEによりエッチングする工程において、第2の絶縁膜（TEOS膜）108と中間絶縁膜（シリコン窒化膜）107とのエッチング選択比が10以上あるので、はじめのトレンチエッチングでは逆テーパを形成しながらエッチングが進み、中間絶縁膜107表面もしくはその中でエッチングが終点する。次に、この中間絶縁膜をRIEエッチングを行うと、第1のコンタクト孔表面のタングステン界面でエッチングが終点する。逆テーパ状にエッチングされるので、第1のコンタクト孔とに合わせずれが生じてもエッチングされる第2のコンタクト孔162の先端は、第1のコンタクト孔161の側壁にいずれかの部分に突き当たるので、第2のコンタクト孔162が半導体基板100内にまで掘られることはない。したがって、第2の絶縁膜108と中間絶縁膜107の膜厚管理を十分行えば容易に連続反応性エッチングが可能になる。また第1のコンタクト孔161と第2のコンタクト孔162とのレティクル合せずれが発生した状態でも連続反応性イオンエッチングは、第1の絶縁膜106のBPSG膜中に終点させるようにエッチング時間の制御をすることも可能になる。

【0029】減圧CVD法により形成したシリコン窒化膜の上にプラズマCVD法によるTEOS膜（以下、PTEOS膜という）及び下部電極を堆積したものにFRAMキャパシタの強誘電体膜を堆積し、加工してキャパシタを形成した場合を仮定する。この後強誘電体膜は、通常結晶構造を安定化させるために熱処理を加える。熱処理は、650℃×60分、O<sub>2</sub> 雰囲気中で行う熱工程と、650℃×5秒→850℃×5秒、O<sub>2</sub> 雰囲気中の工程を行う。ところが、PTEOS膜とTi膜とは熱膨張の差が大きいので、PTEOS膜とTi膜の界面で膜剥がれ、白濁などが発生する。また、シリコン窒化膜の上にTi膜とその上のPt膜からなる下部電極を成膜し、FRAMキャパシタの強誘電体膜を堆積し、加工したあとの前記酸素雰囲気中熱処理を加えると、ウェーハ内の温度分布の違いから、熱応力転位が発生する。この実施例では、熱膨張がTi膜に近いLPTEOS膜を下部電極と中間絶縁膜との間に介在させることによってその膜剥がれや白濁が生じることの少ないようにしている。

【0030】さらに、例えば、PZTからなる強誘電体膜を堆積し加工した直後に行う熱処理では、強誘電体膜に含まれる鉛が下部電極とLPTEOS膜との界面に侵入し酸素と反応して鉛ガラス（PbO・SiO<sub>2</sub>）を生成し、この鉛ガラスが膜剥がれなどの膜質劣化を起こすことがある。このため、この実施例においては、LPTEOS膜の成膜後に、例えば、700℃×30分程度の酸素燃焼の熱酸化工程を追加してLPTEOS膜の膜質を向上させ、下部電極の配向性を良くさせることができ

る。これは、鉛ガラスが下部電極の膜下方向に侵入するのを阻止する作用を奏するチタンシリサイド膜がLPTEOS膜とTi膜との界面に生成するためである。プラズマCVD法は、低温で処理するので、第1のコンタクト孔に形成されたバリアメタル層を破壊することなくなり、また、タングステンなどの接続配線の拡散を活性化することがない。また、減圧CVD法によるTEOS膜上に、Ti膜を堆積する膜質向上につながり、キャパシタが安定してその電気的特性を損なうことがない。さらに減圧CVD法によるTEOS膜は、配向性良く形成することができ、その上のTi膜の配向性を良くすることができるので、下部電極上の強誘電体膜の配向性を良くすることができる。

【0031】次に、図11を参照して第2の実施例を説明する。この実施例では半導体記憶装置の第1のコンタクト孔及びその中に埋め込まれる接続配線を形成する方法に特徴があり、図11は、第1のコンタクト孔が示された半導体基板を示す製造工程の断面図である。第1のコンタクト孔の上に形成される中間絶縁膜、第2の絶縁膜及び第2のコンタクト孔等の構造は、第1の実施例と同じであるので説明を省略する。例えば、p型シリコン半導体などからなる半導体基板200にはLOCOSによるSiO<sub>2</sub>から構成された素子分離領域が形成されている。半導体基板200の表面領域にはソース/ドレイン領域として用いられるn型不純物拡散領域203が形成されている。ソース/ドレイン領域間の上にはゲート酸化膜（SiO<sub>2</sub>）を介してゲート電極が形成されている。ゲート電極は、例えば、ポリシリコン膜とポリシリコン膜上のタングステンシリサイド膜からなり、このシリサイド膜上面は、シリコン窒化膜により保護されている。半導体基板200は、ゲート電極を覆うように、減圧CVD法によるBPSG膜を有する第1の絶縁膜（層間絶縁膜）206により被覆されている。第1の絶縁膜206は、CMPにより研磨されて平坦化される。次に、この第1の絶縁膜206の上に膜厚100nm程度の薄いプラズマCVD法によるTEOS膜207を形成する。

【0032】このプラズマCVD法によるTEOS膜207及び第1の絶縁膜206に第1のコンタクト孔261が形成される。まず、CHF<sub>3</sub> + O<sub>2</sub> + COからなる混合ガスを使用してプラズマCVD法によるTEOS膜及び減圧CVD法によるBPSG膜表面がRIEエッチングされ、ついで、O<sub>2</sub> とCF<sub>4</sub> との混合ガス（流量比1以上）によりRIEエッチングで開口した部分にさらにトレンチエッチングを施して垂直な側壁を有する第1のコンタクト孔261が形成される。第1のコンタクト孔261は、半導体基板100の不純物拡散領域203にその底面が配置されている。次に、第1のコンタクト孔261内も含めて第1の絶縁膜206及びプラズマCVD法によるTEOS膜207上に膜厚40nm程度の

Ti 膜及び膜厚 60 nm 程度の TiN 膜からなるバリアメタル層 271B を順次高融点ロングパツタリングなどで堆積し、その上に膜厚 620 nm 程度のタングステン膜 271A を堆積させる。その後、これら積層体を CMP 法などにより研磨して不要な積層体材料を除去していく。そして、第 1 のコンタクト孔 261 内に堆積した材料を残し、それ以外のプラズマ CVD 法による TEOS 膜 207 上の積層体材料を除去する。

【0033】プラズマ CVD 法による TEOS 膜は、減圧 CVD 法による BPSG 膜より研磨速度が十分小さいので、オーバーポリッシングにより減圧 CVD 法による BPSG 膜を研磨して、例えば、半導体素子分離領域上に形成されたゲート電極を傷付けるような従来良く発生した現象を抑制することができる。この様に、第 1 のコンタクト孔 261 には、Ti 膜と TiN 膜からなる 271B 及びタングステン膜 271A から構成された接続配線 271 が埋め込まれている。これ以降の工程、第 1 のコンタクト孔の上に形成される中間絶縁膜、第 2 の絶縁膜及び第 2 のコンタクト孔等の形成は、第 1 の実施例と同じであるので説明を省略する。この実施例においても、第 1 及び第 2 のコンタクト孔が形成された絶縁膜間に挿入され、コンタクト孔をエッチングする際のマスクに用いられる中間絶縁膜として減圧 CVD 法により形成されたシリコン窒化膜とプラズマ CVD 法により形成されたシリコン窒化膜とから構成された絶縁膜を用いることを特徴としている。プラズマ CVD 法は、低温で処理するので第 1 のコンタクト孔に形成されたバリアメタル層を破壊することがなくなり、またタングステンなどの接続配線の拡散を活性化することがない。

【0034】以上、本発明は、2 段構造のコンタクト孔の中間に表面酸化を抑制する目的で挿入された中間絶縁膜の構造に関するもので、メモリ、ロジックなど様々な半導体装置にも適用することができる。とくに不揮発性強誘電体メモリ (FRAM) などの強誘電体特性を有する強誘電体膜を備えた半導体装置に適用することが最適である。以下、図 2 乃至図 5 を参照して第 1 及び第 2 の実施例で説明した半導体記憶装置、すなわち、FRAM についてその動作を説明する。図 2 は、強誘電体膜の印加電圧／分極特性を示すヒステリシス特性図、図 3 は、FRAM セルとして好ましくない状態のヒステリシス特性図、図 4 は、FRAM の書き込み動作を説明する FRAM セルの回路図、図 5 は、FRAM セルの書き込み時のプレート電極 PL の電位変化図である。図 2 に PZT 膜等の強誘電体薄膜の印加電圧／分極特性を示す。強誘電体薄膜は図 2 に示すようにヒステリシス特性を有する。そして、電圧を印加しない状態すなわち  $V=0$

(V) の状態での残留分極  $P_r$  が「正」であるか「負」であるかによって、データを記憶することができる。

【0035】図 3 は、FRAM の強誘電体メモリセルとしては好ましくないヒステリシス特性である。すなわ

ち、残留分極  $P_r$  が非常に小さく、その結果、センスアンプによる読み出しマージンが低下する、外部からの攪乱により容易にデータが消失してしまう等の問題が存在する。図 3 に示す特性は、80℃の高温状態でのヒステリシス特性である。続いて、図 4、図 5 を用いて強誘電体薄膜を用いたメモリセルの書き込み動作を説明する。FRAM セルを用いた不揮発性強誘電体メモリは、2 つの MOS トランジスタ Q1、Q2 と強誘電体キャパシタ C1、C2 により一つのメモリセルを構成する。そして、図 4 (a) の状態、すなわちキャパシタ C1 には図中上向きの矢印に示すように上方向の分極（以下、正分極と称する）が、キャパシタ C2 には図中下向きの矢印に示すように下方向の分極（以下、負分極と称する）が現れている状態を“1”と定義し、図 4 (b) の状態、即ちキャパシタ C1 には負分極が、キャパシタ C2 には正分極が現れている状態を“0”と定義する。

【0036】（“1”書き込み動作）以下、メモリセルに“1”を書き込む場合のステップを示す。まず、ビット線 BL に 5 V を印加し、ビット線 /BL（「/」は反転信号を表わす、以下、同じ）には 0 V を印加する。そしてワード線 WL には 7 V を印加しプレート電極 PL には 0 V を印加する。この状態は、キャパシタ C1 が図 2 の a の状態であり、キャパシタ C2 が図 2 の b の状態にある。続いて、PL を 5 V にする。この結果、キャパシタ C1 は、図 2 の b の状態になり、キャパシタ C2 は図 2 の c の状態になる。続いて、PL を 0 V にする。この結果、キャパシタ C1 は、図 2 の a の状態になり、キャパシタ C2 は図 2 の d の状態になる。図 5 に書き込み時のプレート電極 PL の電位 (VPL) の変化を示す。以上のようにして、図 4 (a) の状態、すなわちキャパシタ C1 には正分極が現れ、キャパシタ C2 には負分極が現れて“1”書き込みが実現される。

【0037】（“0”書き込み動作）以下、メモリセルに“0”を書き込む場合のステップを示す。まず、ビット線 BL に 0 V を印加し、ビット線 /BL には 5 V を印加する。そしてワード線 WL には 7 V を印加し、プレート電極 PL には 0 V を印加する。この状態では、キャパシタ C1 が図 2 の b の状態にあり、キャパシタ C2 が図 2 の a の状態にある。続いて、PL を 5 V にする。この結果、キャパシタ C1 は、図 2 の c の状態になり、キャパシタ C2 は、図 2 の b の状態になる。続いて、PL を 0 V にする。この結果、キャパシタ C1 は、図 2 の d の状態になり、キャパシタ C2 は、図 2 の a の状態になる。以上のようにして、図 4 (b) の状態、すなわちキャパシタ C1 には負分極が現れ、キャパシタ C2 には正分極が現れて“0”書き込みが実現される。以上のような FRAM は、消費電力が僅少のため RFID などの無電源 ID 装置等に用いられる。

【0038】

【発明の効果】プラズマ CVD 法は、低温で処理するの

で第1のコンタクト孔に形成されたバリアメタル層を破壊することなく、さらにタングステンなどの接続配線の拡散を活性化することがない。また、減圧CVD法によるTEOS膜は、Ti膜やPt膜とのなじみが良いのでこの様なTEOS膜を中間絶縁膜上に堆積させると、キャパシタが安定してその電気的特性を損なうことがないので電気的特性の安定した半導体記憶装置及びその製造方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の断面図。

【図2】強誘電体膜の印加電圧／分極特性を示すヒステリシス特性図。

【図3】FRAMセルとして好ましくない状態のヒステリシス特性図。

【図4】FRAMの書き込み動作を説明するFRAMセルの回路図。

【図5】FRAMセルの書き込み時のプレート電極PLの電位変化図。

【図6】図1に示された半導体基板の拡大部分断面図。

【図7】図6を比較する従来の半導体基板の断面図。

【図8】図1に示されたキャパシタの拡大部分断面図。

【図9】図8に示されたキャパシタの平面図。

【図10】第1の実施例における第2のコンタクト孔の製造工程を説明する半導体基板の断面図。

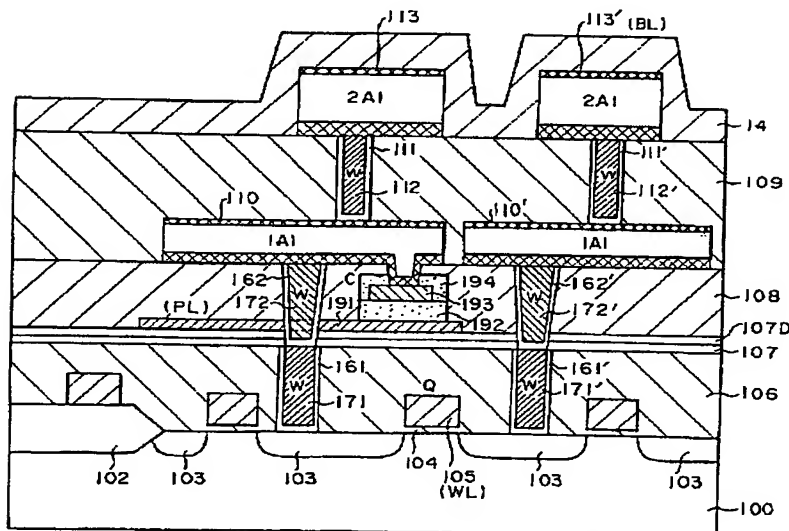
【図11】第2の実施例の第1のコンタクト孔に接続配線を埋め込む工程を説明する半導体基板の断面図。

【図12】従来の半導体記憶装置の断面図。

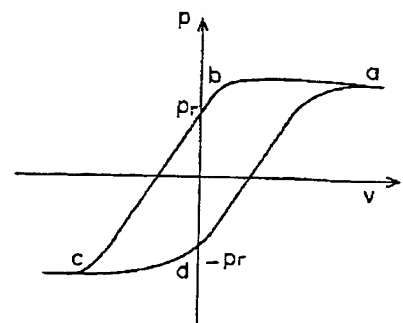
【符号の説明】

1、100、200・・・半導体基板、2、102・・・素子分離領域、3、103、203・・・不純物拡散領域（ソース／ドレイン領域）、4、104・・・ゲート酸化膜、5、105・・・ゲート電極、6、106、206・・・第1の絶縁膜（層間絶縁膜）、7、107・・・中間絶縁膜、8、108・・・第2の絶縁膜、9、109・・・第3の絶縁膜、10、10'、13、13'、110、110'、113、113'・・・配線、11、11'、111、111'・・・第3のコンタクト孔、12、12'、71、71'、72、72'、112、112'、171、171'、172、172'、271・・・接続配線、14、114・・・保護絶縁膜、61、61'、161、161'、261・・・第1のコンタクト孔、62、62'、162、162'・・・第2のコンタクト孔、71A、171A、271A・・・タングステン(W)膜、71B、171B、271B・・・バリアメタル層、91、191・・・下部電極、92、192・・・強誘電体膜、93、193・・・上部電極、107A、107C・・・減圧CVD法により形成されたシリコン窒化膜、107B・・・プラズマCVD法により形成されたシリコン窒化膜、107D・・・中間絶縁膜（減圧CVD法によるTEOS膜）、191A・・・Pt膜、191B・・・Ti膜、194・・・保護膜。

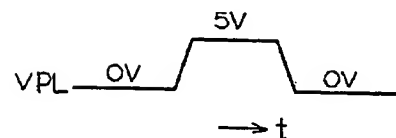
【図1】



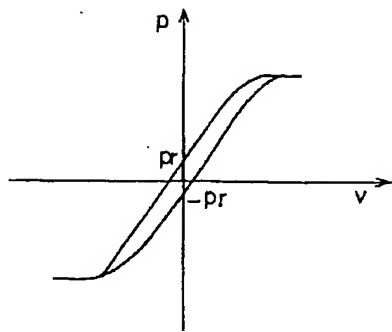
【図2】



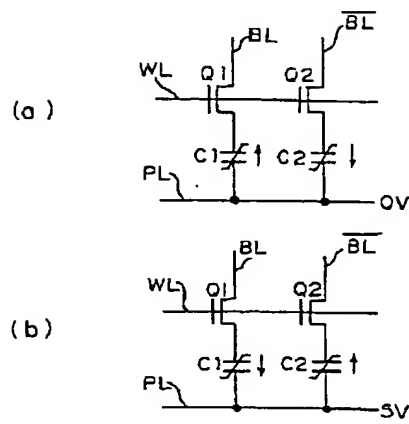
【図5】



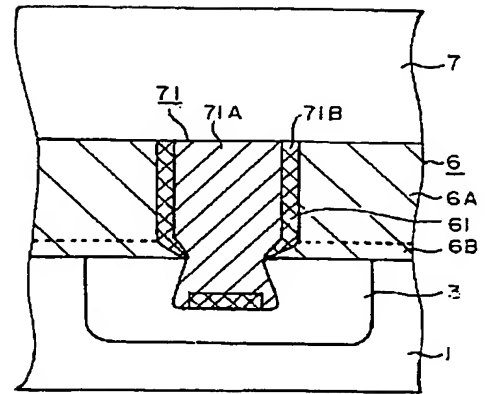
【図3】



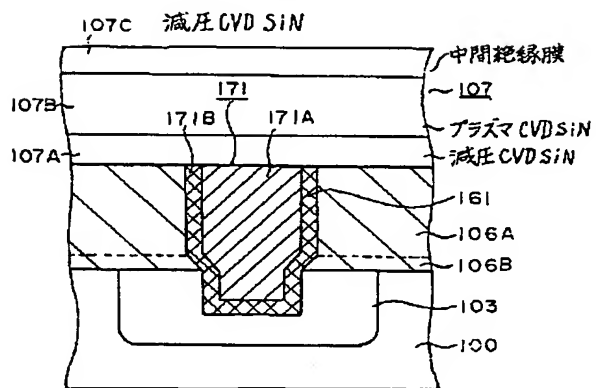
【図4】



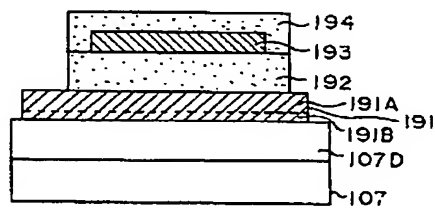
【図7】



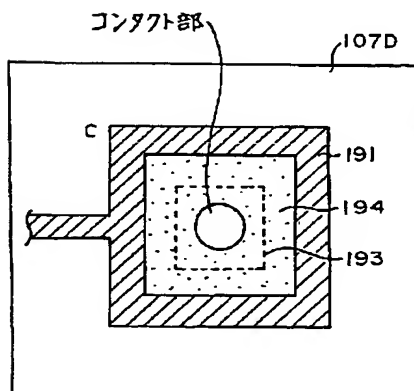
【図6】



【図8】



【図9】



【図10】

